

**UNIVERZITET U BEOGRADU – ELEKTROTEHNIČKI FAKULTET
KATEDRA ZA ELEKTRONIKU**

ARHITEKTURA I ORGANIZACIJA NAMENSKIH RAČUNARA

Materijali za računske vežbe

V DEO

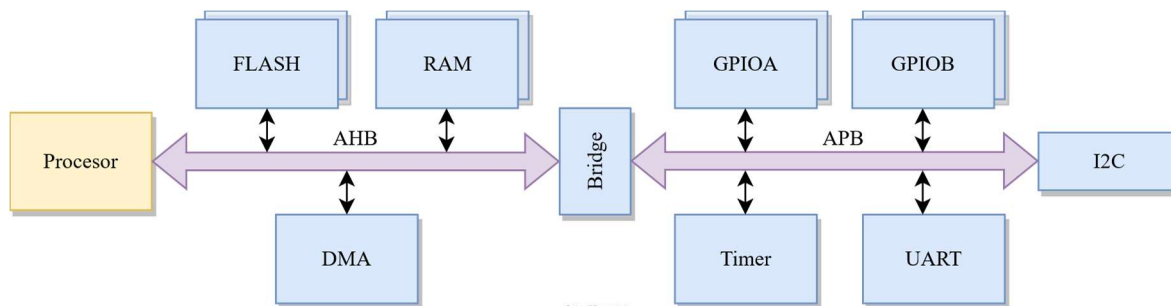
ORGANIZACIJA MEMORIJE

Pripremio:
Haris Turkmanović (haris@etf.bg.ac.rs)

Beograd 2026

1. Zadatak

Na slici 1 je prikazana arhitektura hardvera jednog namenskog sistema na čipu, baziranog na 32bitnoj RISC-V arhitekturi procesora, koji koristi dve magistrale, AHB i APB, koje su povezane koristeći odgovarajuću hardversku komponentu pod nazivom *bridge*.



Slika 1.1. Arhitektura hardvera sistema uz Zadatak 1

Sistem prikazan na slici se projektuje tako da je periferijama povezanim na AHB magistralu moguće adresirati 1MiB podataka dok je periferijama povezanim na APB magistralu moguće adresirati 512 KiB podataka ukoliko je adresibilna jedinica jednaka 1B. Apsolutna početna adresa periferija povezanih na AHB magistralu iznosi 0x40000000 dok apsolutna početna adresa periferija povezanih na APB magistralu iznosi 0x50000000. U tabeli 1 su date minimalne veličine adresnog prostora potrebnog za svaku od korišćenih periferija.

Tabela 1.1. Pregled veličine adresnog prostora zauzetog od strane pojedinačnih periferija sistema

Naziv periferije	Broj instanci	Veličina memorijskog prostora
Flash	2	128KiB
RAM	2	18 KiB
GPIOA	2	2KiB
GPIOB	2	512B
UART	1	120B
Timer	1	240B
SPI	1	240B

Ukoliko je poznato da magistrala podržava čitanje u *Burst* režimu blokova veličine 1KiB, rasporediti periferije u adresnom prostoru procesora, odrediti opseg adresa koji pripada svakoj magistrali kao i opseg neiskorišćenih adresa za svaku od magistrala.

Rešenje:

U tabeli 1.2 dat je opseg apsolutnih adresa koje pripadaju svakoj od magistrala korišćenih u okviru sistema sa slike 1.

Tabela 1.2. Opseg apsolutnih adresa koji pripada svakoj magistrali

Naziv magistrale	Veličina adresnog prostora koji pripada magistrali	Početna adresa	Krajna adresa
AHB	1MiB	0x40000000	0x400FFFFF
APB	512KiB	0x50000000	0x5000FFFF

U tabeli 1.3. dat je opseg apsolutnih adresa koje pripadaju svakoj od periferija.

Tabela 1.3. Opseg apsolutnih adresa za svaku od periferija korišćenih u okviru sistema sa slike 1.

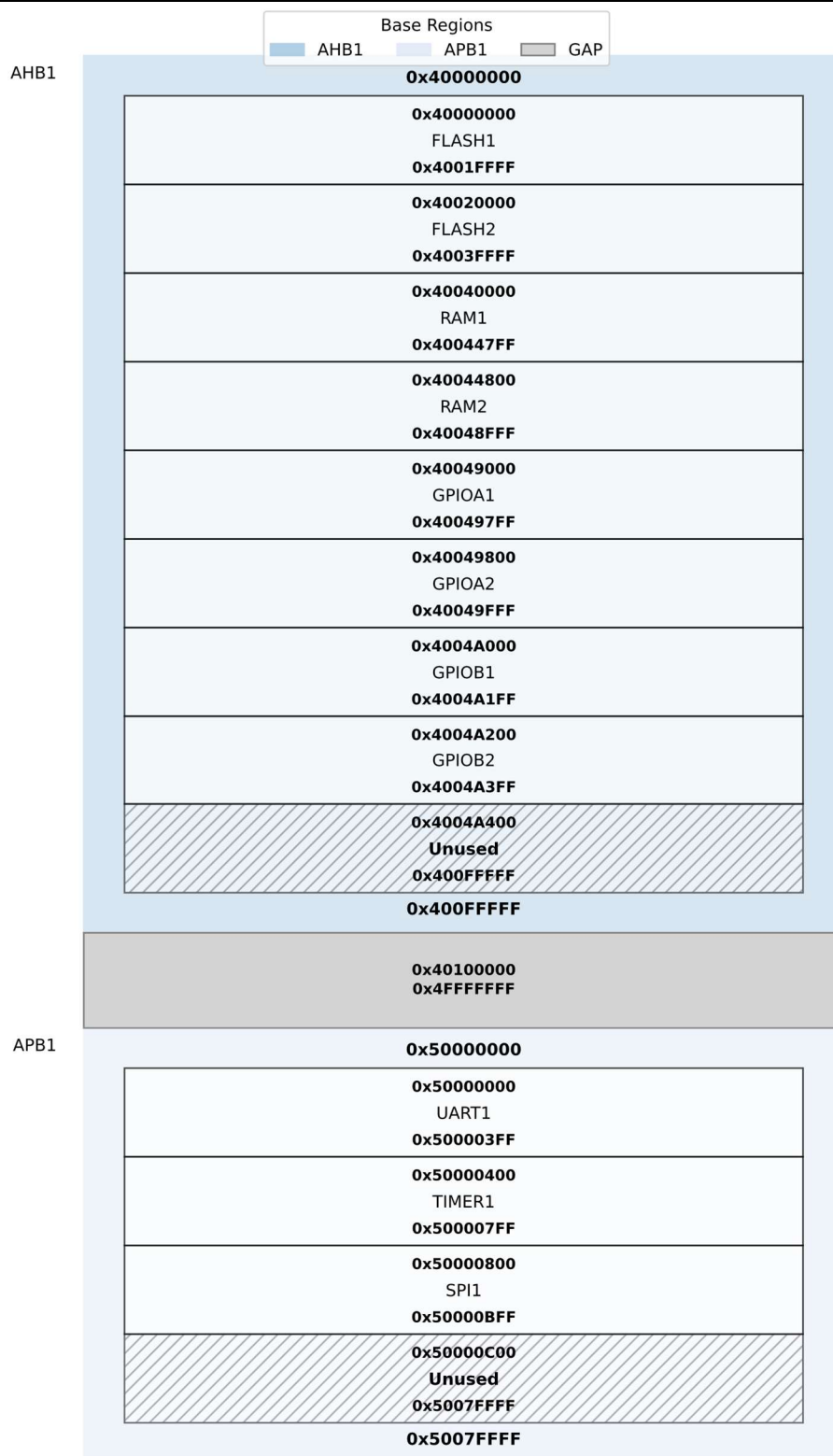
Naziv magistrale	Početna adresa	Krajna adresa
Flash 1	0x40000000	0x4001FFFF
Flash 2	0x40020000	0x4003FFFF
RAM 1	0x40040000	0x40047FFF
RAM 2	0x40048000	0x40048FFF
GPIOA 1	0x40049000	0x400497FF
GPIOA 2	0x40049800	0x40049FFF
GPIOB 1	0x4004A000	0x4004A1FF
GPIOB 2	0x4004A200	0x4004A3FF
UART	0x50000000	0x500003FF
Timer	0x50000400	0x500007FF
SPI	0x50000800	0x50000BFF

U tabeli 1.4. dat je opseg apsolutnih adresa koje pripadaju svakoj od periferija.

Tabela 1.4. Opseg apsolutnih neiskorišćenih adresa za svaku od magistrala

Naziv magistrale	Početna adresa	Krajna adresa	Opseg
AHB	0x4004A400	0x400FFFFFF	0x000B5C00
APB	0x50000000	0x5000FFFF	0x0007F400

Na slici 1.2. je ilustrovan raspored periferija u adresnom prostoru sistema.



Slika 1.2. Raspored periferija sistema u adresnom prostoru sistema sa slike 1.1.